

UNIVERSIDADE DE SÃO PAULO

ANGÉLICA DOS ANJOS

**Integração de blocos RF CMOS com indutores  
usando tecnologia *Flip Chip***

São Paulo  
2012

ANGÉLICA DOS ANJOS

**Integração de blocos RF CMOS com indutores  
usando tecnologia *Flip Chip***

Tese de Doutorado apresentada à  
Escola Politécnica da Universidade de  
São Paulo, para obtenção do título de  
Doutor em Engenharia Elétrica.

Área de concentração: Microeletrônica.

Orientador: Prof. Dr. Wilhelmus A. M.  
Van Noije

São Paulo  
2012

**Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.**

**São Paulo, 10 de novembro de 2012.**

**Assinatura do autor** \_\_\_\_\_

**Assinatura do orientador** \_\_\_\_\_

#### **FICHA CATALOGRÁFICA**

**Anjos, Angélica dos**  
**Integração de blocos RF CMOS com indutores usando tecnologia Flip Chip / A. Dos Anjos. -- ed.rev. -- São Paulo, 2012.**  
**173 p.**

**Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.**

**1.Circuitos integrados (Projeto) I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.**

Dedico este trabalho à minha mãe  
Alaíde, ao meu pai Manoel, à minha  
irmã Patricia, à minha sobrinha  
Beatriz e ao meu esposo Armando.

## AGRADECIMENTOS

Primeiramente agradeço à Deus por me dar a capacidade e perseverança necessárias para o desenvolvimento e conclusão deste trabalho, pois sem Ele, nada seria possível.

Um agradecimento especial à minha família, pois graças a ajuda, apoio, amor, compreensão, carinho, força e amizade, tive perseverança para continuar.

Ao meu orientador Prof. Dr. Wilhelmus A. M. Van Noije pela grande colaboração na realização desse trabalho.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), pelo apoio financeiro dado através da bolsa de doutorado, a qual recebi durante um ano. À Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP), pelo financiamento da fabricação dos circuitos integrados. Ao Instituto Nacional de Ciência e Tecnologia (INCT/NAMITEC) pelo custeio de componentes e materiais necessários para a realização deste trabalho.

Um agradecimento especial aos colegas e amigos do LSI e LME, Armando Ayala Pabón, Fabián Leonardo Cabrera Riaño, Sérgio Andrés Chaparro Moreno, Prof. Dr. Sebastião Gomes dos Santos, Profa. Dra. Fátima Salette Correra, Jair Souza, Ricardo Rangel, Vanessa Duarte Del Cacho, Dionisio de Carvalho e Hugo Puertas de Araújo pela ajuda dispensada e dedicação em momentos importantes.

Agradeço ao LSI-USP (Laboratório de Sistemas Integráveis), ao LME-USP (Laboratório de Microeletrônica), ao LNLS (Laboratório Nacional de Luz Síncroton), e ao CTI (Centro de Tecnologia da Informação Renato Archer), pelo uso dos equipamentos e contribuição na realização da tese.

À todas as pessoas que me ajudaram direta e indiretamente na realização deste trabalho e que não foram citadas acima.

## SUMÁRIO

<b>LISTA DE FIGURAS</b> .....	<b>VIII</b>
<b>LISTA DE TABELAS</b> .....	<b>XII</b>
<b>RESUMO</b> .....	<b>XVIII</b>
<b>ABSTRACT</b> .....	<b>XX</b>
<b>1 – INTRODUÇÃO</b> .....	<b>1</b>
1.1 MOTIVAÇÃO .....	1
1.2 OBJETIVOS .....	4
1.3 DESCRIÇÃO DOS CAPÍTULOS .....	4
<b>2 – INDUTORES INTEGRADOS E INDUTORES EXTERNOS</b> .....	<b>5</b>
2.1 INDUTORES INTEGRADOS .....	5
2.1.1 <i>Comportamento dos indutores</i> .....	5
2.1.2 <i>Estruturas dos indutores integrados</i> .....	7
2.1.3 <i>Fenômenos que degradam o funcionamento dos indutores</i> .....	7
2.1.3.1 Efeito pelicular .....	8
2.1.3.2 Efeito de proximidade .....	8
2.1.3.3 Correntes de <i>eddy</i> .....	9
2.1.4 <i>Circuito equivalente</i> .....	10
2.1.4.1 Capacitância entre os segmentos .....	12
2.1.4.2 Capacitância do óxido .....	12
2.1.4.3 Capacitância do substrato .....	12
2.1.4.4 Resistência do substrato .....	13
2.1.4.5 Resistência série .....	13
2.1.4.6 Indutância .....	13
2.1.4.6.1 Auto-indutância .....	14
2.1.4.6.2 Indutância mútua .....	14
2.1.4.7 Limitações do circuito equivalente .....	15
2.1.5 <i>Fator de qualidade</i> .....	16
2.1.6 <i>Técnicas para melhorar o desempenho dos indutores</i> .....	17
2.2 INDUTORES EXTERNOS .....	18
2.2.1 <i>Materiais utilizados</i> .....	18
2.2.1.1 Substrato .....	18
2.2.1.2 Camada metálica .....	19
2.2.1.3 Camada Dielétrica .....	21
2.2.2 <i>Processos de fabricação</i> .....	22
2.2.2.1 Deposição .....	22
2.2.2.2 Corrosão .....	24
2.2.3 <i>Etapas de processos</i> .....	24
2.2.4 <i>Caracterização</i> .....	26
2.2.4.1 Estruturas para caracterizar os indutores .....	27
2.2.4.2 Estruturas para validar o processo .....	29
2.2.4.3 Indutores externos para teste .....	33
2.2.4.4 <i>Layout</i> da placa de alumina com os indutores externos, PADs e trilhas para conexão RF e alimentação DC .....	38
<b>3 – TECNOLOGIA FLIP CHIP, VCO E LNA</b> .....	<b>42</b>
3.1 FLIP CHIP .....	42
3.1.1 <i>Etapas de processos</i> .....	44
3.2 OSCILADOR CONTROLADO POR TENSÃO – VCO .....	45
3.2.1 <i>Teoria de osciladores</i> .....	45
3.2.2 <i>Oscilador LC e resistência negativa</i> .....	47

3.2.3	Ruído de fase .....	48
3.2.4	VCO .....	51
3.2.4.1	Topologias para LC VCO .....	53
3.2.4.1.1	Par cruzado NMOS e Par Cruzado PMOS .....	54
3.2.4.1.2	Complementar NMOS e PMOS .....	56
3.2.5	Projeto dos VCOs .....	57
3.2.5.1	FC-VCO .....	63
3.2.5.2	OC-VCO .....	65
3.2.5.3	Balun .....	67
3.2.5.4	Projeto extra do FC-VCO com menor ruído de fase .....	68
3.3	AMPLIFICADOR DE BAIXO RUÍDO – LNA .....	69
3.3.1	Considerações importantes do LNA .....	69
3.3.2	Topologias de LNAs CMOS .....	70
3.3.2.1	Amplificador CMOS fonte comum cascode com degeneração indutiva .....	71
3.3.2.1.1	Impedância de entrada .....	72
3.3.2.1.2	Figura de ruído .....	74
3.3.2.1.3	Ganho .....	74
3.3.3	Projeto dos LNAs .....	75
3.3.3.1	FC-LNA .....	80
3.3.3.2	OC-LNA .....	81
3.3.3.3	Projeto extra do FC-LNA com menor figura de ruído e maior ganho .....	83
<b>4</b>	<b>– APRESENTAÇÃO E ANÁLISE DOS RESULTADOS .....</b>	<b>85</b>
4.1	VCOs .....	86
4.1.1	FC-VCO .....	86
4.1.2	OC-VCO .....	95
4.1.3	Projeto extra do FC-VCO com menor ruído de fase .....	104
4.1.4	Resultados experimentais do OC-VCO .....	105
4.1.5	Análise dos resultados dos VCOs .....	112
4.2	LNAs .....	113
4.2.1	FC-LNA .....	113
4.2.2	OC-LNA .....	121
4.2.3	Projeto extra do FC-LNA com menor figura de ruído e maior ganho .....	129
4.2.4	Resultados experimentais do OC-LNA .....	133
4.2.5	Análise dos resultados dos LNAs .....	139
<b>5</b>	<b>– CONCLUSÕES, CONTRIBUIÇÕES E TRABALHOS FUTUROS .....</b>	<b>141</b>
5.1	CONCLUSÕES .....	141
5.2	CONTRIBUIÇÕES .....	143
5.3	TRABALHOS FUTUROS .....	144
	<b>REFERÊNCIAS .....</b>	<b>145</b>

## LISTA DE FIGURAS

Figura 1 – Representação de um circuito transceptor RF completo.....	2
Figura 2 – Microfotografia de um VCO com tanque LC (0,14mm <sup>2</sup> ).....	2
Figura 3 – Microfotografia de um LNA (0,8 x 0,8 mm <sup>2</sup> ).....	3
Figura 4 – Parâmetros geométricos do indutor retangular.....	7
Figura 5 – Distribuição de correntes nos segmentos de um indutor para baixas e altas frequências.....	9
Figura 6 – Correntes induzidas no substrato.....	10
Figura 7 – Circuito equivalente do indutor – Modelo PI.....	10
Figura 8 – Circuito equivalente do indutor retangular – ilustração em corte.....	11
Figura 9 – Espessuras que caracterizam um indutor de uma espira.....	11
Figura 10 – <i>Electron beam</i> .....	22
Figura 11 – Eletrólise.....	23
Figura 12 – Corrosão úmida.....	24
Figura 13 – Etapas de Processos para a fabricação do indutor externo.....	26
Figura 14 – Modelo equivalente das impedâncias das estruturas de teste.....	27
Figura 15 – Estrutura de caracterização <i>short-open</i> .....	28
Figura 16 – Estrutura de caracterização <i>short</i> .....	29
Figura 17 – Estrutura de teste <i>open</i> .....	29
Figura 18 – Estrutura “cruz-ponte”.....	30
Figura 19 – Estrutura <i>Kelvin</i> .....	31
Figura 20 – Largura fixa e espaçamento variável.....	32
Figura 21 – Largura variável e espaçamento fixo.....	32
Figura 22 – Largura fixa e espaçamento variável dos cantos.....	32
Figura 23 – Largura variável e espaçamento fixo dos cantos.....	33
Figura 24 – <i>Layout</i> das estruturas para teste (processo e caracterização dos indutores externos).....	34
Figura 25 – <i>Layout</i> do indutor externo para teste (A.3=7nH).....	36
Figura 26 – Simulação da variação da L versus a frequência para os indutores externos para teste.....	37
Figura 27 – Simulação da variação do Q versus a frequência para os indutores externos para teste.....	37
Figura 28 – <i>Layout</i> completo da placa de alumina. 1) <i>pads</i> para conexão RF; 2) <i>pads</i> para os capacitores; 3) <i>pads</i> para alimentação DC; 4) Estruturas de teste.....	38
Figura 29 – <i>Layout</i> da placa de alumina ampliada.....	39
Figura 30 – Marcas de alinhamento das quatro máscaras feitas em quartzo.....	40
Figura 31 – Ampliação de um dos indutores externos e seus <i>pads</i> – máscara 4.....	41
Figura 32 – Formação do <i>stud bump</i> [3.6].....	44
Figura 33 – Modelo de interconexão de <i>flip chip</i> .....	44
Figura 34 – Modelo de um circuito oscilador.....	46
Figura 35 – Rede de duas portas do oscilador.....	46
Figura 36 – Circuito equivalente do ressonador LC.....	48
Figura 37 – Espectro de frequência do oscilador: (a) ideal e (b) real.....	49
Figura 38 – Ruído de fase no domínio da frequência.....	50
Figura 39 – Típico espectro de ruído de fase de um oscilador LC.....	50
Figura 40 – Diagrama de blocos de um circuito receptor.....	52



Figura 41 – Diagrama de blocos de um PLL.....	52
Figura 42 – Efeito do ruído de fase do oscilador em um receptor.....	53
Figura 43 – Topologia do par cruzado NMOS.....	55
Figura 44 – Topologia do par cruzado PMOS.....	55
Figura 45 – Topologia complementar NMOS e PMOS.....	57
Figura 46 – Simulação da variação da L versus a frequência para os indutores do FC-VCO e OC-VCO.....	62
Figura 47 – Simulação da variação do Q versus a frequência para os indutores externos do FC-VCO e OC-VCO.....	63
Figura 48 – Topologia do FC-VCO.....	65
Figura 49 – Topologia do OC-VCO.....	66
Figura 50 – Topologia do <i>Balun</i> .....	67
Figura 51 – Topologia de LNAs CMOS: (a) fonte comum com casamento resistivo; (b) fonte comum com realimentação; (c) porta comum; (d) fonte comum com degeneração indutiva.....	71
Figura 52 – Topologia do LNA detalhada: fonte comum com degeneração indutiva.....	72
Figura 53 – Simulação da variação da L versus a frequência para os indutores do FC-LNA e OC-LNA.....	79
Figura 54 – Simulação da variação do Q versus a frequência para os indutores externos do FC-LNA e OC-LNA.....	79
Figura 55 – Topologia do FC-LNA.....	80
Figura 56 – Topologia do OC-LNA.....	82
Figura 57 – <i>Layout</i> do <i>chip</i> completo (3,0 x 2,8 mm <sup>2</sup> ).....	84
Figura 58 – Microfotografia do <i>chip</i> completo (3,0 x 2,8 mm <sup>2</sup> ).....	85
Figura 59 – <i>Layout</i> completo do FC-VCO (com <i>pads</i> ).....	86
Figura 60 – <i>Layout</i> do FC-VCO juntamente com o <i>balun</i> .....	87
Figura 61 – <i>Layout</i> do <i>core</i> ativo do FC-VCO.....	88
Figura 62 – <i>Layout</i> do casamento dos transistores NMOSRF do FC-VCO.....	88
Figura 63 – <i>Layout</i> do casamento dos transistores PMOSRF do FC-VCO.....	89
Figura 64 – <i>Layout</i> do <i>balun</i> do FC-VCO.....	89
Figura 65 – <i>Test-bench</i> do FC-VCO.....	90
Figura 66 – <i>Start-up</i> das saídas OUTP, OUTN e OUTB ( <i>balun</i> ) do FC-VCO (TM).....	91
Figura 67 – Amplitude das saídas OUTP, OUTN e OUTB ( <i>balun</i> ) do FC-VCO (TM).....	91
Figura 68 – Frequência de oscilação versus a tensão de controle para WP, TM e WS do FC-VCO.....	92
Figura 69 – Ruído de fase versus a frequência de <i>offset</i> para WP, TM e WS do FC-VCO. Frequência de oscilação de 2,4GHz.....	93
Figura 70 – Ruído de fase versus a frequência de <i>offset</i> para WP, TM e WS do FC-VCO. Frequência de oscilação de 2,45GHz.....	93
Figura 71 – Ruído de fase versus a frequência de <i>offset</i> para WP, TM e WS do FC-VCO. Frequência de oscilação de 2,48GHz.....	93
Figura 72 – Ruído de fase versus a frequência de <i>offset</i> para TM variando a temperatura ( <i>temp</i> ) do FC-VCO. Frequência de oscilação de 2,45GHz.....	94
Figura 73 – Corrente DC total e I <sub>Bias</sub> em função de V <sub>Bias</sub> do FC-VCO (TM).....	95
Figura 74 – <i>Layout</i> completo do OC-VCO (com <i>pads</i> ).....	96

Figura 75 – *Layout* do OC-VCO juntamente com o *balun*, circuito de polarização (*bias*) e indutor interno. .... 97

Figura 76 – *Layout* do OC-VCO e *balun* (sem o indutor). .... 97

Figura 77 – *Layout* do *core* ativo do OC-VCO (sem o indutor). .... 98

Figura 78 – *Layout* do casamento dos transistores NMOSRF do OC-VCO. .... 98

Figura 79 – *Layout* do casamento dos transistores PMOSRF do OC-VCO. .... 99

Figura 80 – *Test-bench* do OC-VCO. .... 99

Figura 81 – *Startup* das saídas OUTP, OUTN e OUTB (*balun*) do OC-VCO (TM).  
..... 100

Figura 82 – Amplitude das saídas OUTP, OUTN e OUTB (*balun*) do OC-VCO (TM). .... 100

Figura 83 – Frequência de oscilação versus a tensão de controle para WP, TM e WS do OC-VCO. .... 101

Figura 84 – Ruído de fase versus a frequência de *offset* para WP, TM e WS do OC-VCO. Frequência de oscilação de 2,4GHz. .... 102

Figura 85 – Ruído de fase versus a frequência de *offset* para WP, TM e WS do OC-VCO. Frequência de oscilação de 2,45GHz. .... 102

Figura 86 – Ruído de fase versus a frequência de *offset* para WP, TM e WS do OC-VCO. Frequência de oscilação de 2,48GHz. .... 102

Figura 87 – Ruído de fase versus a frequência de *offset* para TM variando a temperatura do OC-VCO. Frequência de oscilação de 2,45GHz. .... 103

Figura 88 – Corrente DC total e  $I_{Bias}$  em função de  $V_{Bias}$  do OC-VCO. .... 103

Figura 89 – Frequência de oscilação versus tensão de controle para o projeto extra do FC-VCO. Frequência de oscilação de 2,45GHz. .... 104

Figura 90 – Ruído de fase versus a frequência de *offset* do projeto extra do FC-VCO. Frequência de oscilação de 2,45GHz. .... 105

Figura 91 – Placas de teste: (a) as 3 placas de alumina fabricadas; (b) placa de teste. .... 106

Figura 92 – Medidas elétricas do OC-VCO:  $I_{VDDA}$  versus  $V_{Bias}$ . .... 107

Figura 93 – Equipamentos usados para as medidas elétricas: (a) analisador de espectro; (b) medidor de potência. .... 108

Figura 94 – Medidas elétricas do OC-VCO:  $f_{osc}$  versus  $V_{Ctrl}$ . .... 109

Figura 95 – Fotografia do resultado do sinal de saída do OC-VCO através do analisador de espectro para  $f_{osc}$  de 2,4GHz. .... 111

Figura 96 – *Layout* completo do FC-LNA, incluindo *pads*. .... 114

Figura 97 – *Layout* do *core* do FC-LNA (sem os indutores). .... 114

Figura 98 – *Layout* do divisor capacitivo do FC-LNA. .... 115

Figura 99 – *Layout* dos transistores NMOSRF do FC-LNA. .... 115

Figura 100 – *Layout* do circuito de polarização (*Bias*) do FC-LNA. .... 116

Figura 101 – *Test-bench* do FC-LNA. .... 117

Figura 102 – Figura de ruído versus a frequência para WP, TM e WS do FC-LNA. .... 117

Figura 103 – Parâmetro S11 versus a frequência para WP, TM e WS do FC-LNA. .... 118

Figura 104 – Parâmetro S21 versus a frequência para WP, TM e WS do FC-LNA. .... 119

Figura 105 – Parâmetro S12 versus a frequência para WP, TM e WS do FC-LNA. .... 119

## Gracias por visitar este Libro Electrónico

Puedes leer la versión completa de este libro electrónico en diferentes formatos:

- HTML(Gratis / Disponible a todos los usuarios)
- PDF / TXT(Disponible a miembros V.I.P. Los miembros con una membresía básica pueden acceder hasta 5 libros electrónicos en formato PDF/TXT durante el mes.)
- Epub y Mobipocket (Exclusivos para miembros V.I.P.)

Para descargar este libro completo, tan solo seleccione el formato deseado, abajo:

